

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-085868
 (43)Date of publication of application : 18.03.2004

(51)Int.CI. G02B 6/13
 G02B 6/122

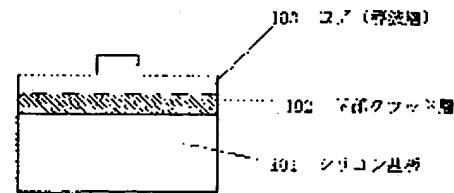
(21)Application number : 2002-246528 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 27.08.2002 (72)Inventor : MIZUUCHI KIMINORI
 YAMAMOTO KAZUHISA

(54) OPTICAL WAVEGUIDE DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need of the complicated process of a flame deposition method or the like in forming a silicon oxide waveguide on a silicon substrate.

SOLUTION: An optical waveguide device is obtained by patterning the SOI substrate including different dopants into a waveguide shape and thermally oxidizing it. Thus, an optical waveguide structure is realized and the refractive index difference of an optical waveguide is realized by the dopant. Further, by utilizing the silicon oxide layer of the SOI substrate as a clad layer 102, the optical waveguide of low loss is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-85868

(P2004-85868A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int.CI.⁷
G02B 6/13
G02B 6/122

F 1
G02B 6/12
G02B 6/12

M
B

テーマコード(参考)
2HO47

審査請求 未請求 請求項の数 14 O.L (全 12 頁)

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2002-246528 (P2002-246528) | (71) 出願人 | 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地 |
| (22) 出願日 | 平成14年8月27日 (2002.8.27) | (74) 代理人 | 100097445 弁理士 岩橋 文雄 |
| | | (74) 代理人 | 100103355 弁理士 坂口 智康 |
| | | (74) 代理人 | 100109667 弁理士 内藤 浩樹 |
| | | (72) 発明者 | 水内 公典 大阪府門真市大字門真1006番地 松下 電器産業株式会社内 |
| | | (72) 発明者 | 山本 和久 大阪府門真市大字門真1006番地 松下 電器産業株式会社内 |

最終頁に続く

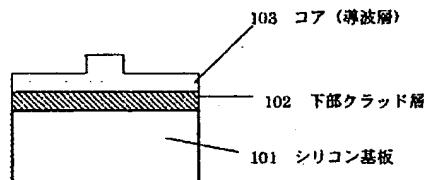
(54) 【発明の名称】光導波路デバイスおよびその製造方法

(57) 【要約】

【課題】シリコン基板上に酸化シリコン導波路を形成するのに火炎堆積法等の複雑な工程を必要とした。

【解決手段】ドーバントの異なるSOI基板を導波路形状にバターニングし、これを熱酸化することで、光導波路構造が実現できる。ドーバントによって光導波路の屈折率差を実現できる。SOI基板の酸化シリコン層をクラッド層102として利用することで、低損失な光導波路が構成できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ドーパントの濃度または組成の異なる基板を張り合わせた S O I 基板のシリコン層をパターニングする工程と、

前記パターニングされたシリコン層を熱処理して酸化シリコンを形成する工程とを備えた光導波路デバイスの製造方法。

【請求項 2】

前記 S O I 基板の表面に半導体または金属を含む薄膜を堆積する工程と、

前記薄膜および前記 S O I 基板のシリコン層をパターニングする工程と、

前記パターニングした層を熱処理して、前記シリコン層を酸化することで前記薄膜層の半導体または金属を前記酸化シリコン層に拡散させることを特徴とする請求項 1 記載の光導波路デバイスの製造方法。
10

【請求項 3】

前記シリコン層の熱処理温度が 1000 度以下である請求項 1 または 2 に記載の光導波路デバイスの製造方法。

【請求項 4】

前記酸化シリコン層に電圧を印加する工程を有する請求項 1 ~ 3 のいずれかに記載の光導波路デバイスの製造方法。

【請求項 5】

前記酸化シリコンに超短パルス光を照射する工程を有する請求項 1 ~ 4 のいずれかに記載の光導波路デバイスの製造方法。
20

【請求項 6】

前記酸化シリコンに波長 400 nm 以下の紫外光を照射する工程を有する請求項 1 ~ 5 のいずれかに記載の光導波路デバイスの製造方法。

【請求項 7】

S O I 基板と、

前記基板に形成された光を伝搬するコアと、

前記コアの下部を覆う下部クラッド層と、を有する光導波路デバイスにおいて、

前記下部クラッド層が前記 S O I 基板のシリコン基板の表面酸化シリコン膜からなり、

前記コアが前記 S O I 基板のシリコン層を熱酸化することにより形成された酸化シリコン層からなり、
30

前記コアが前記下部クラッド層に対してドーパント濃度またはドーパントの組成が異なることを特徴とする光導波路デバイス。

【請求項 8】

前記コアが半導体または金属を主成分とするドーパントを有している請求項 7 記載の光導波路デバイス。

【請求項 9】

前記コアが Nd 、 Er 、 Cr 、 Pr の何れかを含む請求項 7 または 8 に記載の光導波路デバイス。

【請求項 10】

前記コアの 2 次の非線形光学定数が部分的または周期的に変化している請求項 7 ~ 9 のいずれかに記載の光導波路デバイス。
40

【請求項 11】

前記コアの屈折率が部分的に変化している請求項 7 ~ 10 のいずれかに記載の光導波路デバイス。

【請求項 12】

前記光導波路の入射端または出射端の少なくとも何れかに光ファイバーが直接接合されていることを特徴とする請求項 7 ~ 11 のいずれかに記載の光導波路デバイス。

【請求項 13】

前記 S i 基板に半導体レーザが集積されている請求項 7 ~ 12 のいずれかに記載の光導波
50

路デバイス。

【請求項 14】

前記基板に、半導体レーザまたは光導波路を制御する駆動回路が集積化されている請求項7～13のいずれかに記載の光導波路デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光情報処理および光通信分野で利用される光導波路デバイスおよびその製造方法に関するものである。

【0002】

【従来の技術】

従来より光情報処理分野、光通信分野において光導波路を用いた光回路および光波長変換、光変調器、光分波器、光合波器、またLSIチップ間の光配線等の光導波路を利用したデバイスが知られている。本発明ではこれらのデバイスを光導波路デバイスと称する。

【0003】

従来の光導波路デバイスとしては、例えば、河内正夫「プレーナ光波回路技術の現状と将来」NTT R&D vol. 43 No 11, 1994, p 1273-1280に記載されているものがある。導波路構成としては、火炎堆積法がある。火炎堆積法はシリコンウェハ上に酸化シリコン微粒子を吹き付けることにより、下部クラッド層となる層およびコアとなる層を順次堆積する。このガラス微粒子は気体原料を酸水素炎中で加水分解することによって得られる。下部クラッドおよびコアとなる層はGeO₂ドーパントの濃度を変えることにより、それぞれの層の屈折率を異ならせる。さらに、これらのガラス微粒子を1250℃以上の高温に加熱することで酸化シリコンの導波層が形成される。その後、反応性イオンエッチングによってコアを形成する。さらにコア層の上から下部クラッド層と同じ組成のガラス微粒子を体積、熱処理することで上部クラッド層が形成される。

【0004】

また、他の従来の光導波路デバイスとしては、例えば特開2002-14242号公報がある。SOI基板のSi活性層をコアとして用いている。コアとクラッド層との屈折率差が大きいため、微細な光導波路回路の形成が容易になる。

【0005】

また、他の従来の光導波路デバイスとしては、例えばJpn. J. Appl. Phys., vol 39, pp 1487-1489, 2000がある。SOIのSiを熱酸化により酸化シリコンにしてコアを形成する。埋め込みシリコン酸化膜は下部クラッドの機能を果たす。下部クラッド層の形成時と異なる温度（クラッド層は1200℃、コア層は800℃で）でコアを熱酸化することで、コアの屈折率を高め、光導波路を構成する。

【0006】

【発明が解決しようとする課題】

従来の火炎堆積法による方法は、その製造方法において、下部クラッド層、コア層、上部クラッド層となる層をそれぞれ堆積しなければならず、複雑な工程を多数必要とするため製造コスト低減の妨げとなる、ガラス微粒子を堆積する際に、膜に不純物が混入しやすく高純度の膜を形成するのが難しい、という問題がある。

【0007】

またSOI基板を用いてSiをコアとする光導波路において、コアとクラッド層の屈折率差が50%程度と非常に大きいため、導波モードのサイズがサブμmとなる。このため通常の光ファイバーや石英を利用した光導波路のコアサイズ数～10μm程度と大きくことなるため結合効率が大きくとれない。また屈折率差が大きくなることで結合部分での反射が大きくなる。さらに導波モードのサイズがサブμmとなることより、他の光導波路との結合精度がサブμm以下となり実装が困難になる。という問題がある。

【0008】

10

20

30

40

50

また、SOI基板のSi層を低温で熱酸化することで光導波路を形成する構成において、酸化シリコンを熱酸化の温度で屈折率差を付けるには、低温の熱酸化が必要となるこのため熱酸化シリコン層を形成するのは、熱処理時間が非常に長くなり（従来例では0.6μmのSiを熱酸化するのに800℃で60hかかる）プロセスのコスト低減の妨げになる。また、低温で形成した酸化シリコンは伝搬損失が大きいため、導波路の低損失化が難しいという問題がある。

【0009】

【課題を解決するための手段】

上記課題を解決するため、本発明の光導波路デバイスの製造方法は、半導体に加える少量の不純物であるドーパントの濃度または組成の異なる基板を張り合わせたSOI基板のシリコン層をパターニングする工程と、前記パターニングされたシリコン層を熱処理して酸化シリコンを形成する工程とを備えた光導波路デバイスの製造方法である。10

【0010】

またこの製造方法を用いて製造した光導波路デバイスは、SOI基板と、前記基板に形成された光を伝搬するコアと、前記コアの周辺を覆う下部クラッド層と上部クラッド層と、を有する光導波路デバイスにおいて、前記下部クラッド層がSOI基板の埋め込み酸化シリコン膜からなり、前記コアがSOI基板のSi層を熱酸化することにより形成された酸化シリコンからなり、前記コアが下部クラッド層に対してドーパント濃度またはドーパントの組成が異なることを特徴とする光導波路デバイスである。20

【0011】

【発明の実施の形態】

以下に本発明の実施の形態について、図面を用いて説明する。本発明はSOI(Silicon Insulator)基板を用いた酸化シリコン光導波路を基本としている。光通信分野において火炎堆積法が着目されているように、シリコン基板上に光導波路を形成することで、各種の光導波路デバイスが提案されている。シリコン基板上に形成することで大型で良質な基板の入手が可能になる、各種のプロセス技術が利用できる、電気回路を集積化できる等の利点を有する。

【0012】

そこで、SOI基板を利用して、酸化シリコンの光導波路デバイスを形成する方法を提案する。SOI基板を利用することで、シリコンプロセスおよびシリコン基板の利用が容易になる。さらにシリコン薄膜を熱酸化した酸化シリコンを用いることで、高純度な光導波路形成が可能となる。さらに、プロセスも容易になる。30

【0013】

SOI基板はSi基板上の埋め込み酸化シリコン層とシリコン層から構成される。表面酸化したSi基板を張り合わせることで埋め込みのシリコン酸化層を挟んだ構造をとる。作製方法は、研磨またはイオン注入を利用したスマートカットなどの方法により直接接合したシリコン基板の一方のシリコン層を薄膜化するものである。LSI用の基板として広く使用されており、精度、純度ともに非常に高い基板が安価に入手可能である。この基板を利用することで、高精度で安価な光導波路デバイスの実現を目的とする。

【0014】

（実施の形態1）

図1は本発明の光導波路デバイスの断面図である。Si基板101上に下部クラッド層102、コア103から構成される。SOI基板の埋め込みシリコン酸化膜における、シリコン基板の表面酸化シリコン膜を下部クラッド層102として使用する。コア103はSOI基板のSi層を酸化させることで形成する。ポイントは、SOI基板として基板と表面シリコン層が異なるドーパントを有する基板を用いた点である。ここでドーパントは半導体に加える少量の不純物を言う。表面のシリコン層のドーパントによって、屈折率の高い酸化シリコン層を形成できるため、光導波路が実現できる。SOI基板の表面シリコン層を完全に酸化させて酸化シリコンにすると、基板のシリコン層が下部クラッド層として機能し、表面のシリコン層が酸化された酸化シリコン層がクラッド層として機能する。4050

クラッド層とコア層の屈折率差は、それぞれのドーパントによって調整することができる。

【0015】

SOI基板を用いることで高精度かつ均一な膜厚分布を実現できるため、導波路構造の均一化、高精度化が容易になる。またコア、下部クラッド層とともにシリコンを熱酸化させた酸化シリコン層で構成することで、高純度で不純物欠陥の少ない導波路構造を実現できるため、低損失で欠陥の少ない高品質な光導波路デバイスを実現できる。さらに通常のシリコンプロセスにより作製できるため、量産化による低成本化が容易になる。

【0016】

図2を用いて、図1に示した光導波路デバイスの製造方法を説明する。(a) SOI基板は、110はシリコン基板、111はシリコン基板の表面酸化シリコン層、112は表面シリコン層側の基板の表面酸化シリコン層、113は表面シリコン層である。(b) SOI基板のシリコン層113をパターニングしたのち、(c) 酸素中で熱処理することでクラッド層となるシリコン層113を熱酸化する。SOI基板を熱処理すると、シリコン層113が酸化して酸化シリコンとなる。通常SOI基板の埋め込み酸化シリコン層は基板を熱処理して形成した酸化シリコンであるため、図2の方法で作製したクラッド層はコア層（埋め込みシリコン層）と同じ屈折率となる。このためコアとクラッドの屈折率差がなくなり、光導波路として機能しない。そこで、SOI基板としてドーパントの異なる基板を張り合わせた基板を用いることを提案する。シリコン基板にドーパントを注入することで表面酸化により形成される酸化シリコンの屈折率を制御できる。これを利用してSOI基板に酸化シリコン導波路を形成することを提案する。例えば、基板側にはBドープのシリコンを用い、表面シリコンの薄膜層にはGeドープのシリコンを用いる。下部クラッド層にBドープの酸化シリコン層を用い、コア層にはGeドープの酸化シリコン層を形成可能となり、コアとクラッドの屈折率差をつけることで光導波路の形成が可能となる。このように形成したSOI基板の表面シリコン部分を必要な導波路パターンに加工することで光導波路デバイスが作製可能となる。

【0017】

導波路のパターニングは、通常のフォトリソグラフィ法によりレジストパターンを形成したのち、ドライエッチングによりリッジ加工する。その後、酸素雰囲気中1200℃程度熱処理すると、パターニングしたシリコン部分が熱酸化されて酸化シリコンのコアが形成される。導波路のパターニングとしては、SOI基板のシリコン層をパターニングした後、熱酸化処理を行うのが好ましい。その理由は、酸化シリコンに比べてシリコン層のエッティング速度が速いため、エッティングが容易になる。酸化シリコンに比べてシリコン層のエッティング速度の均一性が優れるため、面内の均一性の高いエッティングができる。熱酸化の際に、側面と表面の両側から酸化が進むため、酸化の速度が速く、均質な酸化シリコン層の形成が可能となる。

【0018】

さらに、膨張による歪みの緩和が可能となる。シリコン層が熱酸化されて酸化シリコンになる際に、体積が2倍程度増加する。この膨張によるストレスが細線パターンにすることで3方向に逃げることが可能となり、形成される光導波路の均一化および歩留まり向上が図られる。即ち、膨張による薄膜層のクラック防止、およびストレスによる導波路内の屈折率分布の発生を防止できる。熱酸化時の膨張ストレス防止には光導波路パターンを $50\mu m$ 以下にするのが好ましい。 $10\mu m$ 以下にするとさらに好ましい。

【0019】

本発明の光導波路デバイスの製造方法は、プロセスのスループット向上にも効果的である。コア層を形成する熱処理温度は、シリコンの表面熱酸化と同程度の1200℃に上げることができる。これは、ドープ材料によりコアとクラッド層の屈折率差を実現しているからである。熱酸化の時間は2時間程度であり、低温熱酸化で形成する際の時間(60h程度)に比べ、プロセスのスループットを大幅に向上させることができた。形成された導波路は、800℃程度の低温酸化で製造した導波路に対して、導波損失が大幅に低下

10

20

30

40

50

した。これは、低温熱処理で形成した酸化シリコンが結晶中に SiO₂を部分的に含んでいるのに対して、高温で酸化したコア層はほぼSiO₂で形成されているためである。ドーパントによってコアとクラッド層の屈折率差を実現しているため、高温処理によるコア層の形成が容易になった。

【0020】

ただし、熱処理温度を低減することでコアとクラッド層の屈折率差の増大がはかるため、熱処理温度を1000°C以下にすることも有効である。屈折率差を大きくすることで光導波路の閉じ込めをさらに強化できる。

【0021】

また、SOI基板を形成する張り合わせ前のSiの表面酸化層厚みも導波路特性に影響を与える。異なるドーパントのシリコン基板を張り合わせてSOI基板を作製し、これを光導波路デバイスを作製する際に、基板側の酸化シリコン層の厚みが下部バッファ層の厚みとなる。下部クラッド層の厚みが十分でない場合、コア層を導波する光が下部クラッド層下のシリコンの影響を受けて、伝搬損失が増大する。これを避けるため、SOI基板作製時の基板側の酸化シリコン層は1μm以上が好ましい。2μm以上あると導波損失がさらに低減されるためより好ましい。

【0022】

一方、コア層を形成するSOI基板の表面シリコン層側の酸化シリコン層およびシリコン層の厚みも重要である。表面に張り合わせたシリコン基板の酸化シリコン層は、シリコン層を酸化してコアを形成する際にコア部分と同じ屈折率を持つためコアの一部となる。例えば、表面シリコン層の厚みをT1、表面シリコン層の張り合わせ前の酸化シリコン層の厚みをT2とすると、表面シリコン層を酸化して作製されるコア層の厚みはT2+2*T1程度となる。シリコンを熱酸化させて表面に酸化シリコン層を形成する際に2μm程度は容易に形成できるが、それ以上になるとシリコン部分と酸化シリコン部分の格子常数の違いよりクラック等が入りやすくなる。このため、T2は3μm以下が望ましい。しかしながら光導波路デバイスでファイバーとの結合を利用する場合は導波路の厚みは4ミクロン以上が望ましい。これを回避するため、T1の厚みは1μm以上が望ましい。

【0023】

また、他の製造方法として、シリコンと酸化シリコンの選択エッチングを利用した作製方法も利用できる。例えば、SOI基板としてPドープしたシリコンに表面酸化層2μmを形成する。これにGeをドープした表面酸化層3μmの基板を張り合わせる。Geドープ基板側のシリコン層を薄膜研磨し、その後選択エッチングにより表面のシリコン層をエッチングする。これによってPドープ酸化シリコンのクラッド層上にGeドープ酸化シリコンのクラッド層が形成できる。

【0024】

また、コア側の酸化シリコン層は導波路の伝搬損失低減に有効である。リッジ型の光導波路構造としては、完全な矩形形状の導波路に比べて、スラブ構造に凸部を有するリッジ導波路構造が好ましい。これは、矩形形状にすると導波路の閉じ込めが強くなり側面のエッチング部分の影響を受けやすくなるためである。この導波路の作製方法について説明する。異なるドーパントのシリコン基板を張り合わせたSOI基板（基板側の酸化シリコン層の厚みは1.5μm、コア側の酸化シリコン層の厚みは1.5μmである）にフォトリソグラフィ法によりレジストパターンを形成し、これをドライエッチングでパターニングする。酸化シリコン層をストップ層としてシリコン部分のみをエッチングする。さらに熱処理によりシリコン層を酸化させることで、目的とするリッジ形状が形成できた。作製した導波路は伝搬損失が1dB/cm以下であり、矩形の導波路に比べて伝搬損失が大幅に低下した。

【0025】

コア、下部クラッド層を、それぞれシリコン結晶を酸化させた酸化シリコンにより形成することで、不純物の少ない高純度な導波路が得られた。これによって、非常に低損失な光導波路の形成が可能になったのみならず、導波路の高品質化が可能となった。光導波路を

10

20

30

40

50

可視から紫外領域で使用する際には、導波路内の不純物がカラーセンターになり、吸収、散乱の原因となる。またこれらの不純物による欠陥部分が吸収の中心になった場合、導波路を長時間使用すると、欠陥部分が中心となり導波路の損失増大が発生する。このような現状は特に紫外領域では顕著になる。成膜により形成した酸化シリコン膜はこれらの不純物の欠陥密度を十分に低下することは難しい。これに対して、結晶シリコンは非常に高い純度を可能にする。本発明の光導波路デバイスは、高純度のシリコン基板を酸化させた酸化シリコンを用いることで、コア中の不純物の混入を大幅に低減することが可能となった。その結果、可視から波長 200 nm 以下の紫外領域にかけて、導波損失が少なく、かつ導波光による劣化のない導波路を実現できた。

【0026】

なお、本実施の形態では、コア部のドーパントを Ge、下部クラッド部のドーパントを B としたが、他のドーパントまたはドーパントの組成、濃度の異なる基板を用いることは可能である。半導体材料として、In、Ga または金属として Sb、Nb、Al、Mg、Au、Ti、Ta またはこれらの酸化物を利用できる。コア部とクラッド部が酸化シリコンで形成されているため、屈折率をつけて導波路構造を実現するために、ドーパントの異なる基板を利用している。シリコンは P、B、Ge 等、各種のドーパントを容易に混入できるため、ドーパントの種類、濃度、組成を変えることで、導波路の屈折率差を容易につけることが可能となる。必要とする導波路構造にあわせて、ドーパントの構成を選択することで、導波路形状、閉じ込めの強さ、導波光の電界分布を設計できる。

【0027】

なお、本実施の形態では、ドーパントの異なる基板を張り合わせた SOI 基板を利用した光導波路デバイスについて、説明したが、導波路の屈折率を変えてコア部を形成する方法としては、他に熱拡散による方法や、イオン注入による方法がある。熱拡散による方法では、例えば、Ge または GeO₂ 膜を SOI 基板上に堆積し、この基板を熱酸化させることで Ge を基板内に熱拡散させて屈折率の高いコア層を形成できる。この方法では、基板全体に Ge を熱酸化させる方法と、GeO₂ 膜をパターニングして部分的に拡散する方法がある。SOI 基板に GeO₂ 膜を堆積し、これをパターニングして GeO₂ と Si 部分を導波路形状に加工する。さらに熱処理すると Ge が Si 中に拡散すると共に Si が酸化されるため Ge 濃度の高い酸化シリコン導波路が形成できる。初期にドープされた SOI 基板を用いるよりさらに Ge 濃度の高い導波路コアが形成できるため強い閉じ込めの光導波路が形成できる。

【0028】

また部分的に拡散することで 3 次元導波路構造を形成することができる。またイオン注入を選択的に行うことで、同様に 3 次元導波路を形成することができる。また、他の 3 次元光導波路の形成方法としては Ge をドーパントとする酸化シリコンに紫外光を選択的に照射することで屈折率変化を起こせる。これをを利用して選択的な屈折率変化を形成できる。光導波路にグレーティング構造を形成することができる。さらに光導波路の屈折率を紫外光の照射量、照射領域を変えることで微調整できる。これをを利用して目的とする実行屈折率の光導波路を形成できる。例えば、アレイ導波路や分岐導波路、分派、合波器等を精密に製造することができる。

【0029】

また、コアとクラッド層の屈折率差を形成する方法として、酸化シリコンを形成する温度によって屈折率差を付ける方法がある。シリコンを酸化させる際の温度によって形成される酸化シリコンの屈折率が異なることが知られている。これを併用することでより高い屈折率差を実現できる。シリコンの表面酸化膜を形成する際にはシリコンを 1200 °C 程度の高温で熱処理する。これによって SOI の埋め込み酸化シリコン層が形成される。さらにコア部の酸化シリコン層を酸化する際に 800 °C 程度の低温で熱処理することで埋め込み酸化シリコン層とコア層の屈折率差を大きくすることができる。

【0030】

なお、シリコン基板に石英を直接接合しても同様の構造が形成できる。ただし、石英とシ 50

10

20

30

40

シリコン基板は熱膨張係数が大きく異なるため、直接接合の大面積化が難しい。さらに石英にドーパントを拡散させることが難しく、屈折率の調整が困難である。これに対して、シリコン基板への金属、半導体等の注入、拡散は比較的容易であり、これを熱酸化することで、ドーパントを含む酸化シリコンが容易に形成できるという利点がある。ドーパントを変えることで、屈折率のみならず、レーザ発振、非線形性の発生、等の機能デバイスとしての特性を実現できる。

【0031】

(実施の形態2)

ここでは、光導波路を用いたデバイスについて説明する。本発明の光導波路デバイスとして、紫外光発生の光波長変換素子が形成できることを見いだした。酸化シリコンは波長200 nm以下の紫外領域まで透過な材料である。この材料の非線形光学効果を利用して紫外光発生用の光波長変換素子を実現できる。しかしながら、酸化シリコンでは自発分極をもたないため、2次の非線形性が非常に小さく、高効率の変換は難しい。これを解決するには、2次の非線形性の向上と、さらに位相整合条件を成立させるため、2次の非線形性が周期的に異なる（変調された）構造が必要となる。10

【0032】

まず、2次の非線形性を発生させる方法として、SOI基板のシリコン層を酸化させたコア層に高電界を印加することで実現できることが分かった。そこで、樹形電極により選択的に電界を印加し、同時に基板温度を上げることで周期的に2次の非線形性を有する構造が形成できた。これを利用した光波長変換素子の製造方法を説明する。作製方法としては、ドーパントの異なるシリコン基板を張り合わせたSOI基板のシリコン層を酸化し、この表面に金属により樹形電極を形成する。電極は白金で作製した。これは基板温度を500°C以上に上げるためである。基板のシリコンと電極間に電圧を印加し、基板の温度を上昇することで2次の非線形性が発生する。シリコン基板を下面の基板として有するため、薄膜導波路の上下から高電界を印加することがとなり、2次の非線形性が発生できた。またシリコンを酸化して形成した酸化シリコンのため結晶構造が揃っており高い非線形分極を有することが分かった。また電界印加と同時に波長400 nm以下の紫外線を照射することで2次の非線形性が向上する。照射光としては300 nm以下の紫外線のほうがより効果的であった。光を当てることでフォトンエネルギーを供給し、電界による自発分極発生のための結晶構造の変化を促進すると考えられる。以上、本発明の方法で、SOI基板に作製した酸化シリコンの光導波路構造に、樹形電極で電界を印加することで、2次の非線形性が周期的に異なる光導波路構造を実現でき、高効率の光波長変換素子が実現できる。20

【0033】

作製した光導波路デバイスにより波長410 nmの光を波長変換して波長205 nmの紫外光発生に成功した。100 mWの青色光に対して数%の変換効率を得た。酸化シリコンが透明で低損失な光導波路形成が可能であるため高効率な波長変換が可能となった。またシリコンを熱酸化で作製した酸化シリコンは高い非線形性を有し、かつ電界による非線形の分極反転構造の形成が可能になったため、高効率の光波長変換デバイスを実現できた。30

【0034】

酸化シリコンの光導波路に2次の非線形性を発生させる方法としては、ハイパワーのパルス光を照射する方法もある。波長800 nm帯のフェムト秒パルス光（ピークパワー>10 W）を照射すると、強い光電場により光ポーリングが行われ、2次の非線形性が生じる。これをを利用して光導波路の非線形性を部分的に変調できる。形成した酸化シリコン導波路にパルス光を部分的に照射する。これを周期的に照射することで光波長変換素子を実現できる。2光束干渉により干渉パターンを形成すれば一度に周期的な照射も可能である。これによって2次の非線形性が部分的に異なる光導波路が実現でき、光波長変換素子が実現できる。酸化シリコンによる導波路を用いることで波長300 nm以下の紫外光発生が可能な光波長変換素子が実現できた。さらに、樹形電極を形成して電界によりアシストするより高い2次の非線形性が発生した。シリコンを酸化して形成した導波路は結晶構造4050

が均一であるため、2次非線形の発生効率が高く、高非線形性を実現できた。さらに、高い安定性が得られた。結晶シリコンは純度が高く結晶構造が均一なため、これを熱酸化して得られる酸化シリコンも高い結晶性が実現できる。しかしながら通常のシリコン基板の表面に形成する酸化シリコン膜では光導波路構造が形成できない。本発明はSOI基板を用いることでこれを可能にしている。結晶シリコンを用いた酸化シリコンを用いることで、高非線形の光波長変換素子が形成できる。酸化シリコンは波長300nm以下の紫外光に対しても透明であるため、高効率の紫外SHG光発生が可能となる。

【0035】

なお、超短パルスを照射する方法としては、グレーティングを用いる方法や、マスクを介して光を照射する方法があり、光の照射部分を自由に決めることができる。さらに照射するパルス光のパルス幅は、10ps以下の中短パルスが有効であった。超短パルスにすることで、強い光強度の光を照射することが可能となる。パルス幅が広くなると強い光照射による熱が発生し、部分的に照射部分が破壊される。このため、光導波路としては伝搬損失が大きくなって、デバイスとしては使用できない。超短パルスにすることで照射部分に高いパワーの光照射が可能となり、光ポーリング等の現象を利用できるようになった。

10

【0036】

上記の光導波路構造を利用して、各種導波路デバイスが形成できる。例えば分岐導波路による光の分波器、合波が形成できる。またヒータ等を集積化した光スイッチ、位相変調器、波長分離フィルタ、AWG等のデバイスに応用できる。SOI基板を用いることで、通常のシリコンプロセス転用できるため、高精度なデバイスが形成できる。また、量産化による低コスト化が容易になる。

20

【0037】

また、シリコン酸化膜のコア構造を利用したグレーティングが形成できる。GeまたはNbを添加した酸化シリコンに紫外線を照射することで部分的に屈折率変化を誘起することが可能となる。これを利用して導波路に屈折率グレーティング構造が形成できる。形成した導波路に位相マスクを通して紫外光を干渉させて周期的な明暗をつける。この明暗に従って、屈折率が変化してグレーティング構造が形成できる。

30

【0038】

また、シリコン酸化膜のコアにNd、Cr、Er、Pr等を拡散することで固体レーザが実現できる。Siを熱酸化する際にこれらの物質を同時に拡散することで、高濃度にドーピングすることが可能となる。光導波路が固体レーザ媒質となりレーザ光発振が可能となる。半導体レーザを集積化することで、小型の固体レーザが実現できる。さらにグレーティング構造を導波路の入出射端面近傍の導波路に形成すれば、DBR反射ミラーとなって共振器構造を実現できる。共振器により高効率の固体レーザ発振が可能となる。

40

【0039】

(実施の形態3)

ここでは光導波路デバイスと半導体レーザを一体化した構成について述べる。光導波路デバイスは導波する光の入射が必要であり、小型化のため半導体レーザが利用される場合がおおい。ここでは、光導波路と半導体レーザを直接接合した光導波路デバイスマジュールについて説明する。図3に本発明の光導波路デバイスの側面図を示す。シリコン基板120上にクラッド層121、コア122が形成され、半導体レーザ123が導波路端面に固定されており、半導体レーザ123から出射した光は、光導波路内に入射している。SOI基板を用いることで、光導波路とSiサブマウントを一体化することが可能となった。SOI基板に形成した酸化シリコン導波路を用いることで、波長800nm以下の短波の光も導波可能となる。光波長変換デバイス、光合波、分波器、光センサー、光通信用デバイス等の応用が可能となる。また、シリコン基板を利用して、電気デバイスを集積化できる。半導体レーザの駆動回路、光の受信回路、変調回路等を同一の基板に集積化できるため、低コスト化、高機能化が実現できる。また配線容量が小さく高速で低ロスの電気回路が実現できる。

【0040】

50

【発明の効果】

異なるドーパントのシリコン基板を張り合わせたSOI基板を熱酸化する事で光導波路が形成できることを見いだした。SOI基板のシリコン層を熱酸化することで酸化シリコンの光導波路が形成でき、シリコンのドーパントで導波路の屈折率差を実現できるため、その実用効果は大きい。シリコン基板を利用することで、大面積で均一な光導波路構造が実現できる。さらに、紫外領域まで透明な光導波路が実現できる。

【0041】

この導波路構造を利用して、導波路内の2次非線形性を部分的に変調した構造を実現できることを見いだした。一つは電界を印加する方法で、基板が半導体であるため、表面に電極を形成することで高電圧印加が可能となり、酸化シリコン層に2次の非線形の発生が可能となる。この結果、紫外光発生が可能な光波長変換素子が実現できるため、その実用効果は大きい。
10

【図面の簡単な説明】

【図1】光導波路デバイスの断面図

【図2】光導波路デバイスの断面図

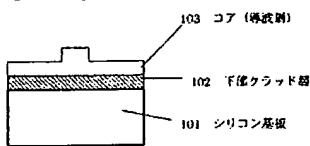
【図3】光導波路デバイスの側面図

【符号の説明】

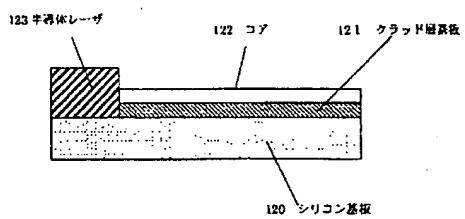
| | |
|-----|----------------|
| 101 | シリコン基板 |
| 102 | 下部クラッド層 |
| 103 | コア |
| 110 | シリコン基板 |
| 111 | シリコン基板の酸化シリコン層 |
| 112 | シリコン層の酸化シリコン層 |
| 113 | シリコン層 |
| 120 | シリコン基板 |
| 121 | クラッド層基板 |
| 122 | コア |
| 123 | 半導体レーザ |

20

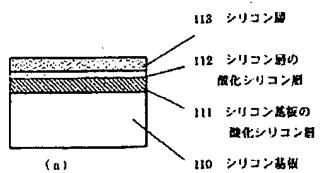
【図 1】



【図 3】



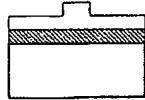
【図 2】



(a)



(b)



(c)

フロントページの続き

F ターム(参考) 2H047 KA05 MA07 PA02 PA21 PA24 QA00 QA02 QA03 TA31 TA41